

Method for fabricating a semiconductor structure including a metal oxide interface with silicon

Patent Number: EP1096042
 Publication date: 2001-05-02
 Inventor(s): RAMDANI JANAL (US); YU ZHIYI JIMMY (US); DROOPAD RAVINDRANATH (US)
 Applicant(s): MOTOROLA INC (US)
 Requested Patent: JP2001189312
 Application Number: EP20000122969 20001023
 Priority Number(s): US19990425945 19991025
 IPC Classification: C30B25/02; C30B29/16
 EC Classification: C30B25/02+29/32; C30B25/02+29/16
 Equivalents: CN1302080, TW468212
 Cited Documents: EP1043427; EP1043426; US5482003; US5225031; JP1270591; JP8335580

Abstract

A method of fabricating a semiconductor structure including the steps of providing a silicon substrate (10) having a surface (12), forming on the surface (12) of the silicon substrate (10), by atomic layer deposition (ALD), a seed layer (20;20') characterised by a silicate material and forming, by atomic layer deposition (ALD) one or more layers of a high

dielectric constant oxide (40) on the seed layer (20;20').



Data supplied from the esp@cenet database - I2

Description

Field of Invention

[0001] The present invention relates in general to a method for fabricating a semiconductor structure including a silicate interface between a silicon substrate and metal oxides, and more particularly to a method for fabricating an interface including a seed layer utilizing atomic layer deposition or atomic layer epitaxy.

Background of the Invention

[0002] A stable silicon (Si) surface is most desirable for subsequent epitaxial growth of metal oxide thin films on silicon for numerous device applications, e.g., ferroelectrics or high dielectric constant oxides for non-volatile high density memory and next generation MOS devices. It is pivotal to establish a stable transition layer on the Si surface for the subsequent growth of high-k metal oxides.

[0003] Some reported growth of these oxides, such as BaO and BaTiO₃ on Si (100) were based on a BaSi₂ (cubic) template by depositing one fourth monolayer of Ba on Si (100) using molecular beam epitaxy at temperatures greater than 850 DEG C. See for example: R. McKee et al., Appl. Phys. Lett. 59(7), pp. 782-784 (12 August 1991); R. McKee et al., Appl. Phys. Lett. 63(20), pp. 2818-2820 (15 November 1993); R. McKee et al., Mat. Res. Soc. Symp. Proc., Vol. 21, pp. 131-135 (1991); U.S. Patent No. 5,225,031, issued July 6, 1993, entitled "PROCESS FOR DEPOSITING AN OXIDE EPITAXIALLY ONTO A SILICON SUBSTRATE AND STRUCTURES PREPARED WITH THE PROCESS"; and U.S. Patent No. 5,482,003, issued January 9, 1996, entitled "PROCESS FOR DEPOSITING EPITAXIAL ALKALINE EARTH OXIDE ONTO A SUBSTRATE AND STRUCTURES PREPARED WITH THE PROCESS". A strontium suicide (SrSi₂) interface model with a c(4x2) structure was proposed. See for example: R. McKee et al., Phys. Rev. Lett. 81 (14), 3014 (5 October, 1998). However, atomic level simulation of this proposed structure indicates that it likely is not stable at elevated temperatures.

[0004] Growth of SrTiO₃ on silicon (100) using an SrO buffer layer has been accomplished. See for example: T. Tambo et al., Jpn. J. Appl. Phys., Vol. 37 (1998), pp. 4454-4459. However, the SrO buffer layer was thick (100 Å), thereby limiting application for transistor films, and crystallinity was not maintained throughout the growth.

[0005] Furthermore, SrTiO₃ has been grown on silicon using thick oxide layers (60-120 Å) of SrO or TiO_x. See for example: B. K. Moon et al., Jpn. J. Appl. Phys., Vol. 33 (1994), pp. 1472-1477. These thick buffer layers would limit the application for transistors.

[0006] High-k oxides are of great importance for the next generation MOSFET applications. Typically, in all of these known structures, they are prepared using molecular beam epitaxy (MBE), pulsed laser deposition (PLD), sputtering, and/or metal-organic chemical vapor deposition (MOCVD). In these types of methods of preparation, it is difficult to control the silicon oxide interface to achieve low density of interfacial traps, low leakage current, and for thickness and composition uniformity over large areas, such as 8" and above, and conformity over trenches. Accordingly, there is a need for a method that provides for a better interface between a silicon substrate and the metal oxide layer, that is simple to manufacture, controllable, has suppressed fringing effects in MOSFET devices, and suitable for mass production.

[0007] Accordingly, it is a purpose of the present invention to provide for a method of fabricating a thin, stable silicate interface with silicon.

[0008] It is yet another purpose of the present invention to provide for a method of fabricating a semiconductor structure including a metal oxide interface with silicon that is reliable and amenable to high throughput manufacturing.

Summary of the Invention

[0009] The above problems and others are at least partially solved and the above purposes and others are realized in a method of fabricating a semiconductor structure including the steps of providing a silicon substrate having a surface, forming on the surface of the silicon substrate, by atomic layer deposition (ALD), a seed layer characterised by a silicate material and forming, by atomic layer deposition (ALD) one or more layers of a high dielectric constant oxide on the seed layer.

Brief Description of the Drawings

[0010] Referring to the drawings:

FIG. 1 illustrates a cross-sectional view of a first embodiment of a clean semiconductor substrate having a plurality of oxide layers formed thereon and in accordance with the present invention;

FIG. 2 illustrates a cross-sectional view of a semiconductor substrate having an interface seed layer formed of a silicate layer utilizing atomic layer deposition in accordance with the present invention;

FIG. 3 illustrates a cross-sectional view of second embodiment of a clean semiconductor structure having a hydrogen layer formed thereon and in accordance with the present invention;

FIG. 4 illustrates a cross-sectional view of a semiconductor structure having an oxide layer formed thereon and in accordance with the present invention;

FIG. 5 illustrates a cross-sectional view of a semiconductor substrate having an interface seed layer formed of a silicate layer utilizing atomic layer deposition in accordance with the present invention;

FIG. 6 illustrates the method of forming the interface seed layer utilizing atomic layer deposition in accordance with the present invention;

FIG. 7 illustrates a cross-sectional view of a semiconductor substrate having a high dielectric constant metal oxide layer formed on the structure illustrated in FIGs. 2 and 5 utilizing atomic layer deposition in accordance with the present invention; and

FIG. 8 illustrates the method of forming the high dielectric constant metal oxide layer utilizing atomic layer deposition in accordance with the present invention.

Detailed Description of the Preferred Embodiment

[0011] This disclosure teaches a method of fabricating a high dielectric constant (high-k) metal oxide having an interface with a silicon substrate. The process is based on the use of atomic layer deposition (ALD) to form a stable silicate seed layer necessary for the subsequent growth of alkaline-earth metal oxide layers. Accordingly, disclosed is a

new method of growing a seed layer and metal oxide layer utilizing atomic layer deposition.

[0012] To form the novel interface between a silicon (Si) substrate and one or more layers of a high dielectric constant (high-k) metal oxide, two specific approaches utilizing atomic layer deposition may be used dependent upon the substrate. A first example will be provided for starting with a Si substrate having silicon dioxide (SiO₂) formed on the surface. The silicon dioxide is disclosed as formed as a native oxide, or by utilizing thermal, or chemical techniques. SiO₂ is amorphous rather than single crystalline and it is desirable for purposes of growing the seed layer material on the substrate to create the interfacial layer. The second example will be provided for starting with a Si substrate which undergoes hydrogen (H) passivation, thereby having formed on the surface a layer of hydrogen (H).

[0013] Turning now to the drawings in which like elements are designated with like numbers throughout the FIGs., FIG. 1 illustrates a Si substrate 10 having a surface 12, and a layer 14 of SiO₂ thereupon. In this particular embodiment, layer 14 of SiO₂ naturally exists (native oxide) once the silicon substrate 10 is exposed to air (oxygen). Alternatively, layer 14 of SiO₂ may be formed purposely in a controlled fashion well known in the art, e.g., thermally by applying oxygen onto the surface 12 at a high temperature, or chemically using a standard chemical etch process. Layer 14 is formed with a thickness in a range of 5-100 Å thick, and more particularly with a thickness in a range of 10-25 Å.

[0014] A novel seed layer (discussed presently) is formed utilizing atomic layer deposition. First, a thin layer, less than 20 Å, of a metal oxide 18, such as zirconium oxide (ZrO₂), hafnium oxide (HfO₂), strontium oxide (SrO₂), or the like, is deposited onto surface 16 of layer 14 of SiO₂ using chloride or a beta -Diketonate precursor and oxygen (O₂), water (H₂O), nitrous oxide (N₂O), or nitric oxide (NO) at a relatively low temperature, such as less than 600 DEG C. More particularly, Si substrate 10 and the amorphous SiO₂ layer 14 are heated to a temperature below the sublimation temperature of the SiO₂ layer 14, generally below 900 DEG C, and in a preferred embodiment below 600 DEG C prior to the deposition of metal oxide 18.

[0015] Next, the temperature of substrate 10 is then raised above 600 DEG C in order for the layer 18 metal oxide (MOx) and the layer 14 of SiO₂ to react to form a seed layer 20 of MSiO_x (silicate), as illustrated in FIG. 2.

[0016] This step provides for the formation of a stable silicate on the silicon substrate, more particularly the formation of seed layer 20. The thickness of silicate, or seed, layer 20 is approximately a few monolayers, and the same thickness of the SiO₂ layer 14, more specifically in the range of 5-100 Å, with a preferred thickness in the range of 10-25 Å. In this particular embodiment, the application of metal oxide 18 to the surface 16 of layer 14 and subsequent flushing with nitrogen (N₂), argon (Ar), or helium (He), and heating causes a chemical reaction, forming hafnium silicon oxide (HfSiO₄), zirconium silicon oxide (ZrSiO₄), strontium silicon oxide (SrSiO₄), or the like, as seed layer 20. Monitoring of the semiconductor structure can be accomplished utilizing any surface sensitive technique, such as reflection difference spectroscopy, spectroscopic ellipsometry, or the like wherein the surface is monitored by in situ techniques.

[0017] It should be understood by those skilled in the art that the temperatures given for these processes are recommended for the particular embodiment described, but the invention is not limited to a particular temperature or pressure range.

[0018] In an alternative embodiment, and as illustrated in FIGs. 3-6, disclosed is Si substrate 10' having a surface 12', having undergone hydrogen (H) passivation, thereby having a layer 13 of hydrogen (H) formed thereon. It should be noted that all components of FIGs. 1 and 2 that are similar to components of the FIGs. 3-5, are designated with similar numbers, having a single prime added to indicate the different embodiment. In this particular embodiment, layer 13 of hydrogen (H) is formed in a controlled fashion by hydrogen passivation techniques.

[0019] A novel seed layer (discussed presently) is formed utilizing atomic layer deposition. First, layer 13 of hydrogen (H) is desorbed from surface 12' at a high temperature, preferably in excess of 300 DEG C. Next, surface 12' of the Si substrate 10' is exposed to a Si precursor, such as silane (SiH₄), disilane (SiH₆), or the like, and a metal precursor, such as hafnium (Hf), strontium (Sr), zirconium (Zr), or the like, generally referenced 15 of FIG. 4, during a time equal to T₁, as shown in FIG. 6, referenced 30. Substrate 10' is exposed to the precursors at a temperature of generally between 100 DEG C-500 DEG C, and in a preferred embodiment at a temperature of 250 DEG C and at an atmospheric pressure of 0.5mTorr. Once the precursors are deposited, a surface 17 is flushed 32 with an inert gas, such as argon (Ar), nitrogen (N₂), or helium (He), for a time, T₂, as illustrated in FIGs. 4 and 6 to remove any excess material. The stack is then exposed 34 to oxygen (O) with or without plasma, water (H₂O), nitrous oxide (N₂O), or nitric oxide (NO) for a time, T₃, to oxidize layer 15 of Si and metal, thereby forming seed layer 20', generally similar to seed layer 20 of FIG. 2. Finally, seed layer 20' is flushed 36, as illustrated in FIG. 6, with argon (Ar), nitrogen (N₂) or helium (He) to eliminate any excess oxygen (O).

[0020] This step provides for the formation of a stable silicate on the silicon substrate which has been hydrogen passivated, more particularly the formation of seed layer 20'. The thickness of seed layer 20' is approximately a few monolayers, more specifically in the range of 5-100 Å, with a preferred thickness in the range of 10-25 Å. In this particular embodiment, the atomic layer deposition is repeated for a few cycles, preferably 4-5 cycles, to form a few monolayers. Thus, a chemical reaction takes place forming hafnium silicon oxide (HfSiO₄),

zirconium silicon oxide (ZrSiO_4), strontium silicon oxide (SrSiO_4), or the like, as the seed layer 20'.

[0021] It should be understood that the component (x), where $x = 0$ to 1 in layer 20', having the composition of $\text{MxSi}_{1-x}\text{O}$, can be adjusted using precursor flows of metal and silicon mixed prior to the introduction in the reaction chamber for better control. More particularly, a graded composition could be used whereby, the resultant final layer deposition using ALD renders a solely metal oxide layer, containing no silicon.

[0022] Referring now to FIGs. 7, 8, and 9, the formation of high dielectric constant oxide layer 40 is accomplished by atomic layer deposition. First, seed layer 20 is exposed 50 to a metal precursor, such as hafnium (Hf), strontium (Sr), zirconium (Zr), lanthanum (La), aluminum (Al), yttrium (Y), titanium (Ti), barium (Ba), lanthanum scandium (LaSc), or the like, during a time, T1, thereby forming a layer 42 on surface 21 of seed layer 20. Seed layer 20 is exposed 50 to the metal precursors at a temperature of generally between 100 DEG C-500 DEG C, and in a preferred embodiment at a temperature of 250 DEG C and at an atmospheric pressure of 0.5mTorr. A surface 43, of layer 42 is next flushed 52 with an inert gas, such as argon (Ar), nitrogen (N_2) or helium (He) for a time, T2, to remove any excess metal precursor. Finally, the semiconductor structure is exposed 54 to oxygen (O_2) with or without plasma, water (H_2O), nitrous oxide (N_2O), or nitric oxide (NO) for a time, T3, to oxidize layer 42, more particularly the metal precursor, forming high-k metal oxide layer 40, as illustrated in FIG. 9. It is disclosed that high-k metal oxide layer 40 thus includes at least one of a high dielectric constant oxide selected from the group of hafnium oxide (HfO_2), zirconium oxide (ZrO_2), strontium titanate (SrTiO_3), lanthanum oxide (La_2O_3), yttrium oxide (Y_2O_3), titanium oxide (TiO_2), barium titanate (BaTiO_3), lanthanum aluminate (LaAlO_3), lanthanum scandium oxide (LaScO_3) and aluminum oxide (Al_2O_3).

[0023] As a final step, layer 40 is flushed 56 with argon (Ar), nitrogen (N_2), helium (He) or the like, to remove any excess oxygen. This atomic layer deposition is repeated for a given number of cycles to form to form a high-k oxide of a desired thickness.

[0024] Accordingly, disclosed is a method for fabricating a thin, seed layer 20 with silicon 10 as been described herein using atomic layer deposition (ALD). This forcing of the formation of a silicate layer by atomic layer deposition provides for high precision control of the thickness and composition over large areas. In addition, conformity of growth in trenches is achieved. In each cycle of the deposition process, the migration of species is enhanced on the surface.

Data supplied from the esp@cenet database - I2

Claims

1. A method of fabricating a semiconductor structure characterised by the steps of:

providing a silicon substrate (10) having a surface (12);
forming by atomic layer deposition a seed layer (20) on the surface of the silicon substrate; and
forming by atomic layer deposition one or more layers of a high dielectric constant oxide (40) on the seed layer.

2. A method of fabricating a semiconductor structure as claimed in claim 1 wherein the step of providing a substrate includes the step of providing a substrate having formed thereon a silicon oxide (14).

3. A method of fabricating a semiconductor structure as claimed in claim 2 wherein the step of forming by atomic layer deposition a seed layer further includes the step of depositing a layer of a metal oxide (18) onto a surface of the silicon oxide, flushing the layer of metal oxide with an inert gas, and reacting the metal oxide and the silicon oxide to form a silicate.

4. A method of fabricating a semiconductor structure as claimed in claim 1 wherein the step of providing a substrate includes providing a substrate having a layer (13) of hydrogen formed thereon by hydrogen passivation.

5. A method of fabricating a semiconductor structure as claimed in claim 4 wherein the step of forming by atomic layer deposition a seed layer (20) further includes the step of desorbing the layer (13) of hydrogen formed on the substrate, exposing (50) the silicon substrate to a silicon precursor and at least one metal precursor forming a layer of a silicon and a metal on the surface of the silicon substrate, flushing (52) the layer of silicon with an inert gas to remove any excess silicon and metal precursor material, exposing (54) the surface of the layer of silicon to at least one of oxygen (O_2) with or without plasma, water (H_2O), nitrous oxide (N_2O), or nitric oxide (NO) to oxidize the layer of silicon and metal thereby forming a single oxidized monolayer, and flushing (56) the oxidized monolayer with an inert gas.

6. A method of fabricating a semiconductor structure as claimed in claim 5 further including the step of repeating the atomic layer deposition to form monolayers.

7. A method of fabricating a semiconductor structure as claimed in claim 1 whereby the step of forming by atomic layer

deposition one or more layers of a high dielectric constant oxide (42) includes the steps of exposing (50) the seed layer to a metal precursor, thereby forming a layer of metal, flushing (52) the layer of metal with an inert gas, exposing (54) the layer of metal to at least one of oxygen (O) with or without plasma, water (H₂O), nitrous oxide (N₂O), or nitric oxide (NO) to oxidize the layer of metal thereby forming a single high-k oxidized monolayer, and flushing (56) the oxidized monolayer with an inert gas.

8. A method of fabricating a semiconductor structure as claimed in claim 7 further including the step of repeating the atomic layer deposition to form high-k oxide layer of a desired thickness.

9. A method of fabricating a semiconductor structure characterised by the steps of:

providing a silicon substrate (10) having a surface (12);

forming by atomic layer deposition a seed layer (20) on the surface of the silicon substrate, the seed layer formed of a silicate material; and

forming by atomic layer deposition one or more layers (42) of a high dielectric constant oxide on the seed layer.

10. A method of fabricating a semiconductor structure as claimed in claim 9 wherein the step of forming by atomic layer deposition the seed layer of a silicate material includes forming the seed layer of a silicate material selected from the group of strontium silicon oxide (SrSiO₄), zirconium silicon oxide (ZrSiO₄), and hafnium silicon oxide (HfSiO₄).

11. A method of fabricating a semiconductor structure as claimed in claim 10 wherein the step of forming by atomic layer deposition one or more layers of a high dielectric constant oxide on the seed layer includes forming the layer of high dielectric constant oxide selected from the group of hafnium oxide (HfO₂), zirconium oxide (ZrO₂), strontium titanate (SrTiO₃), lanthanum oxide (La₂O₃), yttrium oxide (Y₂O₃), titanium oxide (TiO₂), barium titanate (BaTiO₃), lanthanum aluminate (LaAlO₃), lanthanum scandium oxide (LaScO₃) and aluminum oxide (Al₂O₃).

12. A method of fabricating a semiconductor structure as claimed in claim 11 wherein the step of providing a substrate includes the step of providing a substrate having formed thereon a silicon oxide (14).

13. A method of fabricating a semiconductor structure as claimed in claim 12 wherein the step of forming by atomic layer deposition a seed layer further includes the step of depositing a layer (18) of a metal oxide onto a surface of the silicon oxide, flushing the layer of metal oxide with an inert gas, reacting the metal oxide with the silicon oxide to form the silicate selected from the group of strontium silicon oxide (SrSiO₄), zirconium silicon oxide (ZrSiO₄), and hafnium silicon oxide (HfSiO₄).

14. A method of fabricating a semiconductor structure as claimed in claim 11 wherein the step of providing a substrate includes providing a substrate having a layer (13) of hydrogen formed thereon by hydrogen passivation.

15. A method of fabricating a semiconductor structure as claimed in claim 14 wherein the step of forming by atomic layer deposition a seed layer further includes the step of desorbing the layer of hydrogen formed on the substrate, exposing (50) the silicon substrate to a silicon precursor and at least one metal precursor forming a layer of a silicon and a metal on the surface of the silicon substrate, flushing (52) the layer of silicon with an inert gas to remove any excess silicon and metal precursor material, exposing (54) the surface of the layer of silicon to at least one of oxygen (O₂) with or without plasma, water (H₂O), nitrous oxide (N₂O), or nitric oxide (NO) to oxidize the layer of silicon and metal thereby forming a single oxidized monolayer, and flushing (56) the oxidized monolayer with an inert gas.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-189312

(P2001-189312A)

(43)公開日 平成13年7月10日(2001.7.10)

(51)Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 1 L 21/316		H 0 1 L 21/316	X
C 3 0 B 29/16		C 3 0 B 29/16	
H 0 1 L 27/105		H 0 1 L 27/10	4 4 4 C
27/108			6 5 1
21/8242		29/78	3 0 1 G
審査請求 未請求 請求項の数15 O L (全 6 頁) 最終頁に続く			

(21)出願番号 特願2000-322458(P2000-322458)

(22)出願日 平成12年10月23日(2000.10.23)

(31)優先権主張番号 4 2 5 9 4 5

(32)優先日 平成11年10月25日(1999.10.25)

(33)優先権主張国 米国 (US)

(71)出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72)発明者 ジャマル・ラムダニ

アメリカ合衆国アリゾナ州ギルバート、ウ
エスト・デボン・ドライブ822

(74)代理人 100091214

弁理士 大貫 進介 (外1名)

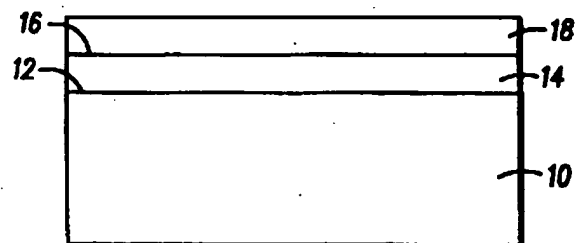
最終頁に続く

(54)【発明の名称】 シリコンとの金属酸化物インタフェースを備える半導体構造の作成方法

(57)【要約】

【課題】 薄くて安定したシリコンとのケイ化物インタフェースを作成する方法を提供する。

【解決手段】 半導体構造を作成する方法は、表面12を有するシリコン基板10を設ける段階と、シリコン基板10の表面12上に原子層付着(ALD)によって、ケイ化物材料からなるシード層20;20'を形成する段階と、原子層付着(ALD)によってシード層20;20'の上に1層以上の高誘電率酸化物40を形成する段階とを含む。



【特許請求の範囲】

【請求項1】 半導体構造を作成する方法であって：表面(12)を有するシリコン基板(10)を設ける段階；前記シリコン基板の前記表面上に原子層付着によりシード層(20)を形成する段階；および原子層付着により、前記シード層上に1層以上の高誘電率酸化物(40)を形成する段階；によって構成されることを特徴とする半導体構造作成方法。

【請求項2】 基板を設ける前記段階がその上に酸化シリコン(14)が形成される基板を設ける段階を含むことを特徴とする請求項1記載の半導体構造作成方法。

【請求項3】 原子層付着によりシード層を形成する前記段階が、金属酸化物の層(18)を前記酸化シリコンの表面上に付着させる段階と、前記金属酸化物層を不活性気体で洗浄する段階と、前記金属酸化物と前記酸化シリコンとを反応させてケイ化物を形成する段階とを含むことを特徴とする請求項2記載の半導体構造作成方法。

【請求項4】 基板を設ける前記段階が、その上に水素パッシベーションにより形成される水素層(13)を有する基板を設ける段階を含むことを特徴とする請求項1記載の半導体構造作成方法。

【請求項5】 原子層付着によりシード層(20)を形成する前記段階が、前記基板上に形成される前記水素層(13)を脱着する段階と、前記シリコン基板をシリコン先駆物質および少なくとも1つの金属先駆物質とにさらして前記シリコン基板の前記表面上にシリコンおよび金属の層を形成する段階(50)と、前記シリコン層を不活性気体で洗浄して余分なシリコンおよび金属先駆物質材料を除去する段階(52)と、前記シリコン層の前記表面をプラズマを伴う、あるいは伴わない酸素

(O_2)、水(H_2O)、一酸化二窒素(N_2O)または一酸化窒素(NO)のうちの少なくとも1つにさらして前記シリコンおよび金属層を酸化させ、それによって単独の酸化単層を形成する段階(54)と、前記酸化単層を不活性気体で洗浄する段階(56)とをさらに含むことを特徴とする請求項4記載の半導体構造作成方法。

【請求項6】 前記原子層付着を反復して単層を形成する段階をさらに含むことを特徴とする請求項5記載の半導体構造作成方法。

【請求項7】 原子層付着により1層以上の高誘電率酸化物42を形成する前記段階が、前記シード層を金属先駆物質にさらしてそれにより金属層を形成する段階(50)と、前記金属層を不活性気体で洗浄する段階(52)と、前記金属層をプラズマを伴う、あるいは伴わない酸素(O_2)、水(H_2O)、一酸化二窒素(N_2O)または一酸化窒素(NO)のうちの少なくとも1つにさらして前記金属層を酸化させ、それによって単独の高k酸化単層を形成する段階(54)と、前記酸化単層を不活性気体で洗浄する段階(56)とをさらに含むことを特徴とする請求項1記載の半導体構造作成方法。

【請求項8】 前記原子層付着を反復して所望の厚みの高k酸化物層を形成する段階をさらに含むことを特徴とする請求項7記載の半導体構造作成方法。

【請求項9】 半導体構造を作成する方法であって：表面(12)を有するシリコン基板(10)を設ける段階；前記シリコン基板の前記表面上に、ケイ化物材料で形成されるシード層(20)を原子層付着により形成する段階；および原子層付着により、前記シード層上に1層以上の高誘電率酸化物(42)を形成する段階；によって構成されることを特徴とする半導体構造作成方法。

【請求項10】 原子層付着によりケイ化物材料の前記シード層を形成する前記段階が、酸化ストロンチウム・シリコン($SrSiO_4$)、酸化ジルコニウム・シリコン($ZrSiO_4$)、酸化ハフニウム・シリコン($HfSiO_4$)から選択されるケイ化物材料の前記シード層を形成する段階を含むことを特徴とする請求項9記載の半導体構造作成方法。

【請求項11】 前記シード層上に原子層付着によって1層以上の高誘電率酸化物を形成する前記段階が、酸化ハフニウム(HfO_2)、酸化ジルコニウム(ZrO_2)、チタン酸ストロンチウム($SrTiO_3$)、酸化ランタン(La_2O_3)、酸化イットリウム(Y_2O_3)、酸化チタン(TiO_2)、チタン酸バリウム($BaTiO_3$)、アルミ酸塩ランタン($LaAlO_3$)、酸化ランタン・スカンジウム($LaScO_3$)および酸化アルミニウム(Al_2O_3)の群から選択される高誘電率酸化物の前記層を形成する段階を含むことを特徴とする請求項10記載の半導体構造作成方法。

【請求項12】 基板を設ける前記段階が、その上に酸化シリコン(14)が形成される基板を設ける段階を含むことを特徴とする請求項11記載の半導体構造作成方法。

【請求項13】 原子層付着によりシード層を形成する前記段階が、金属酸化物の層(18)を前記酸化シリコンの表面上に付着する段階と、前記金属酸化物層を不活性気体で洗浄する段階と、前記金属酸化物を前記酸化シリコンと反応させて酸化ストロンチウム・シリコン($SrSiO_4$)、酸化ジルコニウム・シリコン($ZrSiO_4$)および酸化ハフニウム・シリコン($HfSiO_4$)から選択される前記ケイ化物を形成する段階とをさらに含むことを特徴とする請求項12記載の半導体構造作成方法。

【請求項14】 基板を設ける前記段階が、その上に水素パッシベーションにより形成される水素層(13)を有する基板を設ける段階を含むことを特徴とする請求項11記載の半導体構造作成方法。

【請求項15】 原子層付着によりシード層を形成する前記段階が、前記基板上に形成される前記水素層を脱着する段階と、前記シリコン基板をシリコン先駆物質および少なくとも1つの金属先駆物質とにさらして前記シリコン基板の前記表面上にシリコンおよび金属の層を形成する段階(50)と、前記シリコン層を不活性気体で洗

浄して余分なシリコンおよび金属先駆物質材料を除去する段階(52)と、前記シリコン層の前記表面をプラズマを伴う、あるいは伴わない酸素(O_2)、水(H_2O)、一酸化二窒素(N_2O)または一酸化窒素(NO)のうちの少なくとも1つにさらして前記シリコンおよび金属層を酸化させ、それによって単独の酸化単層を形成する段階(54)と、前記酸化単層を不活性気体で洗浄する段階(56)とをさらに含むことを特徴とする請求項14記載の半導体構造作成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般にシリコン基板と金属酸化物との間のケイ化物インタフェースを備える半導体構造の作成方法に関し、さらに詳しくは、原子層付着または原子層エピタキシを利用してシード層を備えるインタフェースを作成する方法に関する。

【0002】

【従来の技術および発明が解決しようとする課題】シリコン(Si)が安定していることは、数多くの装置用途、たとえば不揮発性高密度メモリや次世代MOS装置のための強誘電体または高誘電率酸化物に関して、シリコンの上に金属酸化物の薄膜を引き続きエピタキシャル成長させるためにきわめて望ましい。高k金属酸化物を後に成長させるために、Si基板上に安定した遷移層を定着させることが枢要である。

【0003】Si(100)上のBaOおよび $BaTiO_3$ など、これらの酸化物の成長は、摂氏850度超の温度で分子線エピタキシを用いてSi(100)上にBaの1/4の単分子層を付着させることによる $BaSi_2$ (立方晶)テンプレートに基づくものがあると報告されている。たとえば、以下の参考文献を参照されたい：R. McKee他, Appl. Phys. Lett. 59(7), pp.782-784(1991年8月12日)；R. McKee他, Appl. Phys. Lett. 63(20), pp.2818-2820(1993年11月15日)；R. McKee他, Mat. Res. Soc. Symp. Proc., Vol.21, pp.131-135(1991年)；1993年7月6日発行の米国特許第5,225,031号「PROCESS FOR DEPOSITING AN OXIDE EPITAXIALLY ONTO A SILICON SUBSTRATE AND STRUCTURES PREPARED WITH THE PROCESS」；および1996年1月9日発行の米国特許第5,482,003号「PROCESS FOR DEPOSITING EPITAXIAL ALKALINE EARTH OXIDE ONTO A SUBSTRATE AND STRUCTURES PREPARED WITH THE PROCESS」。c(4x2)構造を伴うストロンチウム・シリサイド($SrSi_2$)インタフェース・モデルが提案された。たとえば、R. McKee他, Phys. Rev. Lett. 81(14), 3014(1998年10月5日)を参照されたい。しかし、この構造の原子レベルのシミュレーションでは、温度を上げると安定になりにくいことが示唆される。

【0004】 SrO バッファ層を用いるシリコン(100)上の $SrTiO_3$ 成長が実現された。しかし、 SrO バッファ層が厚

い(100Å)ので、トランジスタ膜用としては制約があり、結晶化が成長全体を通じて維持されなかった。

【0005】さらに、 SrO または TiO_2 の厚い酸化物層(60~120Å)を用いてシリコン上に $SrTiO_3$ が成長された。たとえば、B.K. Moon他, Jpn. J. Appl. Phys. s., Vol.33(1994年), pp.1472-1477を参照されたい。バッファ層がこのように厚いと、トランジスタとしての用途が制限されることになる。

【0006】高k酸化物は、次世代MOSFET用途にとってきわめて重要である。通常、これらの既知の構造すべてにおいて、これらは分子線エピタキシ(MBE: molecular beam epitaxy)、パルス化レーザ付着(PLD: pulsed laser deposition)、スパタリングおよび/または金属有機化学蒸着(MOCVD: metal-organic chemical vapor deposition)を利用して製造される。このような種類の製造方法においては、酸化シリコン・インタフェースを制御して、界面トラップの密度を低く抑え、漏洩電流を低く抑え、8"以上の大きな面積上の厚みと組成の均一性を達成し、トレンチ上の相似性を得ることが困難である。従って、シリコン基板と金属酸化物層との間により良いインタフェースを得るための方法であって、製造が簡単で、制御可能であり、MOSFET装置におけるフリンジ効果を抑えて、大量生産に適した方法が必要である。

【0007】従って、本発明の目的は、薄くて安定したシリコンとのケイ化物インタフェースを作成する方法を提供することである。

【0008】本発明のさらに別の目的は、信頼性があり、高処理量生産に適する金属酸化物インタフェースを備える半導体構造を製造する方法を提供することである。

【0009】

【課題を解決するための手段】半導体構造を作成する方法において、上記およびその他の問題点が少なくとも部分的に解決され、上記およびその他の目的が実現される。本方法は、表面を有するシリコン基板を設ける段階と、シリコン基板の表面上に、原子層付着(ALD: atomic layer deposition)によって、ケイ化物材料からなるシード層を形成する段階と、原子層付着(ALD)によって1層以上の高誘電率酸化物の層をシード層上に形成する段階とを備える。

【0010】

【実施例】本開示により、シリコン基板とのインタフェースを有する高誘電率(高k)金属酸化物の作成方法を教示する。本プロセスは、原子層付着(ALD)を利用してアルカリ土類金属酸化物層を後に成長させるために必要なシード層を形成する方法に基づく。よって、原子層付着を利用してシード層および金属酸化物層を成長させる新規の方法が開示される。

【0011】シリコン(Si)基板と1層以上の高誘電率(高k)金属酸化物との間に新規のインタフェースを形

成するためには、基板に応じて、原子層付着を利用する2種類の特殊な方法を用いることができる。第1の例は、表面上に二酸化シリコン (SiO_2) が形成されるSi基板から始められる。二酸化シリコンは自然酸化物として形成されるか、あるいは熱的または化学的方法を利用することにより形成されるものとして開示される。 SiO_2 は、単結晶ではなく非晶質であり、基板上にシード層材料を成長させる目的のためには、インタフェース層を作成することが望ましい。第2の例は、水素 (H) パッシベーションを行って、表面上に水素 (H) 層を形成したSi基板から始める。

【0012】ここで、図面を参照するが、図面全体を通じて同様の要素には同様の番号が付けられる。図1は、表面12と、その上に SiO_2 層14を有するSi基板10が図示される。この実施例においては、 SiO_2 層14は、シリコン基板が空気 (酸素) にさらされると自然に発生する (自然酸化物)。あるいは、 SiO_2 層14は、当技術では周知の制御された方法で、たとえば高温で表面12上に酸素を与える熱的方法、あるいは標準的な化学エッチ・プロセスを用いる化学的方法で意図的に形成される場合もある。層14は、5~100Å厚の範囲の厚みで、さらに詳しくは、10~25Åの厚みで形成される。

【0013】新規のシード層 (以下に説明する) が原子層付着を利用して形成される。まず、酸化ジルコニウム (ZrO_2)、酸化ハフニウム (HfO_2)、酸化ストロンチウム (SrO_2) などの金属酸化物の20Å未満の薄層18が、塩化物またはβジケトン化合物先駆物質および酸素 (O_2)、水 (H_2O)、一酸化二窒素 (N_2O) または一酸化窒素 (NO) を摂氏600度未満などの比較的低い温度で用いて SiO_2 層14の表面16上に付着させる。さらに詳しくは、Si基板10と非晶質 SiO_2 層14とが一般に摂氏900度未満の SiO_2 層14の昇華温度より低い温度まで加熱される。好適な実施例では、金属酸化物18の付着に先立って摂氏600度未満まで加熱される。

【0014】次に、基板10の温度を摂氏600度超まで昇温して、金属酸化物 (MO_x) 層18と SiO_2 層14とを反応させ MSiO_x (ケイ化物) のシード層20を形成する。これを図2に示す。

【0015】この段階は、シリコン基板上に安定したケイ化物を形成する。さらに詳しくは、シード層20の形成を行う。ケイ化物層すなわちシード層20の厚みは、ほぼ数単層であり、 SiO_2 層14と同じ厚み、さらに詳しくは、5~100Åの範囲であり、好ましくは10~25Åの範囲である。この実施例では、金属酸化物18を層14の表面16に塗布し、それに続いて窒素 (N_2)、アルゴン (Ar) またはヘリウム (He) で洗浄し、加熱すると化学反応が起こり、酸化ハフニウム・シリコン (HfSiO_4)、酸化ジルコニウム・シリコン (ZrSiO_4)、酸化ストロンチウム・シリコン (SrSiO_4) などがシード層20としてできる。半導体構造の監視は、反射差顕微鏡、

分光偏光解析法などを利用して行うことができ、その場で表面が監視される。

【0016】これらのプロセスの関して与えられる温度は説明される特定の実施例のために推奨されるものであるが、本発明は特定の温度または圧力範囲に制限されないことを当業者は理解頂きたい。

【0017】代替の実施例においては、また図3ないし図6に示されるように、水素 (H) パッシベーションを受けてその上に水素 (H) の層13が形成された表面12'を有するSi基板10'が開示される。図3ないし図5の構成部品に類似の図1および図2のすべての構成部品には、同様の番号が振られ、異なる実施例であることを示すために一重プライムが加えられることに留意されたい。この実施例では、水素 (H) 層13が水素パッシベーション法により制御された方法で形成される。

【0018】新規のシード層 (以下に説明する) が原子層付着を利用して形成される。まず、水素 (H) 層13が高温、好ましくは摂氏300度超で表面12'から脱着される。次に、Si基板10'の表面12'がシラン (SiH_4)、ジシラン (SiH_6) などのSi先駆物質と、図4で一般に15と記されるハフニウム (Hf)、ストロンチウム (Sr)、ジルコニウム (Zr) などの金属先駆物質とに、図6で30と記されるT1に等しい時間の間さらされる。基板10'は、一般に摂氏100度ないし500度の間の温度で、好適な実施例においては摂氏250度で0.5MTorrの大気圧において、これらの先駆物質にさらされる。先駆物質が付着されると、表面17は、図4および図6に示されるように、アルゴン (Ar)、窒素 (N_2) またはヘリウム (He) などの不活性気体で時間T2の間洗浄されて、余分な材料が除去される。積層物は次にプラズマを伴うあるいは伴わない酸素 (O)、水 (H_2O)、一酸化二窒素 (N_2O) または一酸化窒素 (NO) に、時間T3の間にさらされて34、Siおよび金属の層15を酸化させ、一般に図2のシード層20と類似のシード層20'を形成する。最後にシード層20'が図6に示されるようにアルゴン (Ar)、窒素 (N_2) またはヘリウム (He) で洗浄され36、余分な酸素 (O) を取り除く。

【0019】この段階で、水素パッシベーションされたシリコン基板上に安定なケイ化物が形成される。さらに詳しくは、シード層20'が形成される。シード層20'の厚みは約数単層、より詳しくは、5ないし100Åの範囲で、好ましくは10ないし25Åの範囲である。この実施例においては、原子層付着を数回、好ましくは4ないし5回繰り返して、数単層を形成する。これにより化学反応が起こり、酸化ハフニウム・シリコン (HfSiO_4)、酸化ジルコニウム・シリコン (ZrSiO_4)、酸化ストロンチウム・シリコン (SrSiO_4) などがシード層20'として形成される。

【0020】 $\text{M}_x\text{Si}_{1-x}\text{O}$ の組成を有する層20'では、反応室に導入する前に金属とシリコンを混合した先駆物質

の流れを用いて成分(x) ($x=0\sim1$)を調整して、より良い制御を行うことができることは言うまでもない。さらに詳しくは、等級を付けた組成を用いることもできる。これによってALDを利用する最終的な層付着により、シリコンを含まない単独の金属酸化物層が得られる。

【0021】図7, 8および9を参照して、高誘電率酸化物層40の形成が原子層付着により実現される。まず、シード層20がハフニウム(Hf)、ストロンチウム(Sr)、ジルコニウム(Zr)、ランタン(La)、アルミニウム(Al)、イットリウム(Y)、チタン(Ti)、バリウム(Ba)、ランタン・スカンジウム(LaSc)などの金属先駆物質に時間T1の間さらされ50、それによってシード層20の表面21上に層42が形成される。シード層20は、一般に摂氏100度ないし500度の間の温度、好適な実施例においては摂氏250度で0.5mTorrの大気圧で金属先駆物質にさらされる50。次に層42の表面43が、アルゴン(Ar)、窒素(N_2)またはヘリウム(He)などの不活性気体に時間T2の間、洗浄されて52、余分な金属先駆物質が除去される。最後に、半導体構造は、プラズマを伴うあるいは伴わない酸素(O_2)、水(H_2O)、一酸化二窒素(N_2O)または一酸化窒素(NO)に、時間T3の間さらされて54、層42を、より詳しくは金属先駆物質を酸化させ、高k金属酸化物層40を図9に示すように形成する。かくして高k金属酸化物層40は、酸化ハフニウム(HfO_2)、酸化ジルコニウム(ZrO_2)、チタン酸ストロンチウム($SrTiO_3$)、酸化ランタン(La_2O_3)、酸化イットリウム(Y_2O_3)、酸化チタン(TiO_2)、チタン酸バリウム($BaTiO_3$)、アルミ酸塩ランタン($LaAlO_3$)、酸化ランタン・スカンジウム($LaScO_3$)および酸化アルミニウム(Al_2O_3)の群から選択される少なくとも1つの高誘電率酸化物を含む。

【0022】最終段階として、層40がアルゴン(Ar)、窒素(N_2)、ヘリウム(He)などで洗浄されて56、余分な酸素が除去される。この原子層付着が特定の回数繰り返されて、所望の厚みの高k酸化物を形成する。

【0023】よって、シリコン10を伴う薄いシード層20を、本明細書においては原子層付着(ALD)を利用して作成する方法が開示される。原子層付着によりケイ化物層の形成を強制することによって大きな面積上で厚みと組成とを高精度に制御することができる。また、トレンチ内における成長の相似性が達成される。付着プロセスの各サイクルにおいて、種の移動が表面上で強化される。

【図面の簡単な説明】

【図1】複数の酸化物層がその上に形成される、本発明による清浄な半導体基板の第1実施例の断面図である。

【図2】本発明による原子層付着を利用してケイ化物層で形成されるインタフェース・シード層を有する半導体基板の断面図である。

【図3】水素層がその上に形成される、本発明による清浄な半導体基板の第2実施例の断面図である。

【図4】酸化物層がその上に形成される、本発明による半導体基板の断面図である。

【図5】本発明による原子層付着を利用してケイ化物層で形成されるインタフェース・シード層を有する半導体基板の断面図である。

【図6】本発明により原子層付着を利用してインタフェース・シード層を形成する方法を示す。

【図7】本発明により原子層付着を利用して図2および図5に示される構造の上に形成される高誘電率金属酸化物層を有する半導体基板の断面図である。

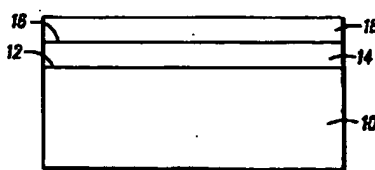
【図8】本発明により原子層付着を利用して高誘電率金属酸化物層を形成する方法を示す。

【図9】本発明により原子層付着を利用してシード層の上に金属酸化物層が形成された半導体基板の断面図である。

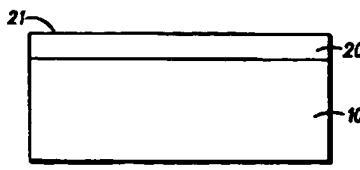
【符号の説明】

- 10 シリコン基板
- 12 シリコン基板の表面
- 14 酸化シリコン層
- 16 酸化シリコン層の表面
- 18 金属酸化物層

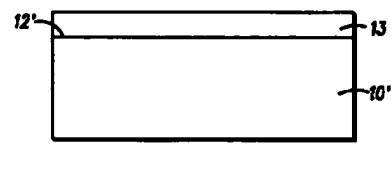
【図1】



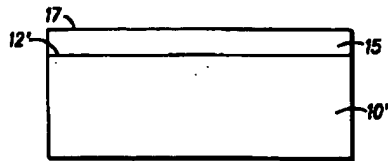
【図2】



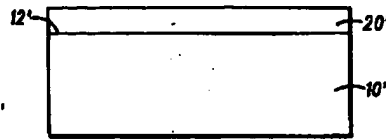
【図3】



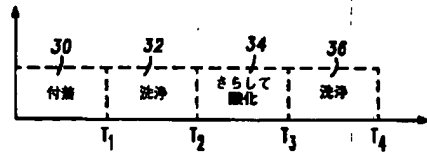
【図4】



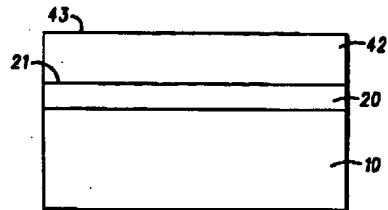
【図5】



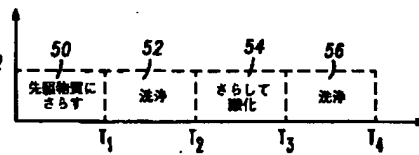
【図6】



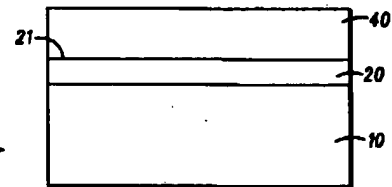
【図7】



【図8】



【図9】



フロントページの続き

(51)Int. Cl.⁷

H01L 29/78
21/8247
29/788
29/792

識別記号

F I

H01L 29/78

特コード (参考)

371

(72)発明者 ラビンドラナス・ドローパッド
アメリカ合衆国アリゾナ州チャンドラー、
ウエスト・タイソン・ストリート4515

(72)発明者 ツィイ・ジミー・ユ
アメリカ合衆国アリゾナ州ギルバート、ウ
エスト・メルル・アベニュー449